

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06202151

(43)Date of publication of application: 22.07.1994

(51)Int.Cl.

G02F 1/136
H01L 29/784

(21)Application number: 04347605

(71)Applicant:

CASIO COMPUT CO LTD
OKI ELECTRIC IND CO LTD

(22)Date of filing: 28.12.1992

(72)Inventor:

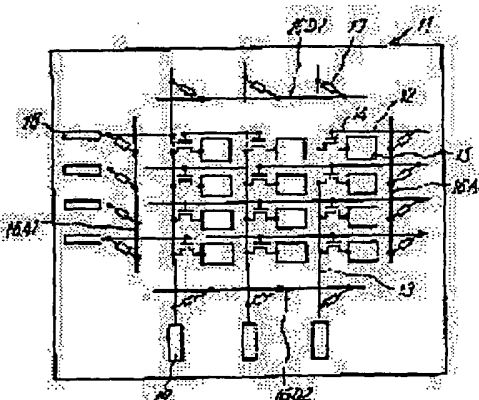
SASAKI MAKOTO
YOSHIDA MAMORU

(54) THIN FILM TRANSISTOR ARRAY

(57)Abstract:

PURPOSE: To provide a thin film transistor array with sufficient protective effect even to the impression of a sharp impulse of static electricity.

CONSTITUTION: The thin film transistor array in which plural thin film transistors 14 and display electrodes 15 connected to either the source electrodes or drain electrodes of the thin film transistors 14 are arranged in a matrix shape at each crossing part of plural address wirings 12 and data wirings 13 arranged by crossing mutually, and the address wirings 12 are connected to the gate electrodes of the thin film transistors 14 and the data wirings 13 to the other side of the source electrodes and the drain electrodes is provided with a protective element 17 with a high resistance or nonlinear resistance characteristic connected to each of the address wiring 12 and the data wirings 13, first common potential conductor belts 16A1, 16A2 which connect each of both terminal sides of an address wiring group to common potential via the protective element 17, and second potential conductor belts 16D1, 16D2 which connect each of both terminal sides of a data wiring group to the common potential via the protective element 17.



【상기 인용예2】

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-202151

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 6 (全 9 頁)

(21)出願番号 特願平4-347605

(22)出願日 平成4年(1992)12月28日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 佐々木 誠

東京都八王子市石川町2951-5 カシオ計

算機株式会社八王子研究所内

(72)発明者 吉田 守

東京都八王子市石川町2951-5 カシオ計

算機株式会社八王子研究所内

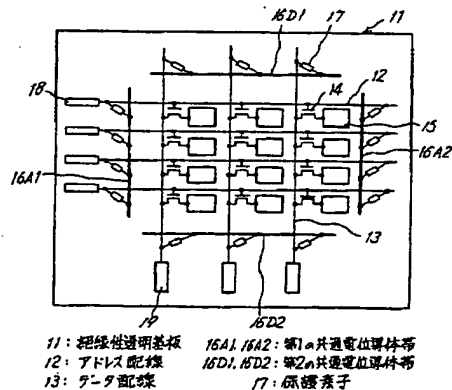
(74)代理人 弁理士 清水 守 (外3名)

(54)【発明の名称】 薄膜トランジスタアレイ

(57)【要約】

【目的】 静電気の鋭いインパルスの印加に対しても十分な保護効果を持つ薄膜トランジスタアレイを提供する。

【構成】 互いに交差させて配置した複数のアドレス配線12と複数のデータ配線13の各交差部に、薄膜トランジスタ14とこの薄膜トランジスタ14のソース電極とドレイン電極との何れか一方に接続された表示電極15とがマトリックス状に複数配列され、薄膜トランジスタ14のゲート電極に前記アドレス配線12が、ソース電極とドレイン電極の他方にデータ配線13が夫々接続された薄膜トランジスタアレイにおいて、アドレス配線12、データ配線13の各々に接続される高抵抗あるいは非線形抵抗特性を持つ保護素子17と、アドレス配線群の両端側それぞれを保護素子17を介して共通電位に接続する第1の共通電位導体帯16A1、16A2と、データ配線群の両端側それぞれを保護素子17を介して共通電位に接続する第2の共通電位導体帯16D1、16D2とを設ける。



【特許請求の範囲】

【請求項1】 互いに交差させて配置した複数のアドレス配線と複数のデータ配線の各交差部に、薄膜トランジスタと、該薄膜トランジスタのソース電極とドレイン電極との何れか一方に接続された表示電極とがマトリックス状に複数配列され、前記薄膜トランジスタのゲート電極に前記アドレス配線が、ソース電極とドレイン電極の他方にデータ配線が夫々接続された薄膜トランジスタアレイにおいて、(a) 前記アドレス配線、データ配線の各々に接続された高抵抗あるいは非線形抵抗特性を持つ保護素子と、(b) アドレス配線群の両端側を前記保護素子を介して共通電位に接続する第1の共通電位導体帯と、(c) データ配線群の両端側を前記保護素子を介して共通電位に接続する第2の共通電位導体帯とを具備することを特徴とする薄膜トランジスタアレイ。

【請求項2】 互いに交差させて配置した複数のアドレス配線と複数のデータ配線の各交差部に、薄膜トランジスタと、該薄膜トランジスタのソース電極とドレイン電極との何れか一方に接続された表示電極とがマトリックス状に複数配列され、前記薄膜トランジスタのゲート電極に前記アドレス配線が、ソース電極とドレイン電極の他方にデータ配線が夫々接続された薄膜トランジスタアレイにおいて、(a) アドレス配線のみを、その隣接する複数のアドレス配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第1の共通電位橋絡部と、(b) データ配線のみを、その隣接する複数のデータ配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第2の共通電位橋絡部とを具備することを特徴とする薄膜トランジスタアレイ。

【請求項3】 互いに交差させて配置した複数のアドレス配線と複数のデータ配線の各交差部に、薄膜トランジスタと、該薄膜トランジスタのソース電極とドレイン電極との何れか一方に接続された表示電極とがマトリックス状に複数配列され、前記薄膜トランジスタのゲート電極に前記アドレス配線が、ソース電極とドレイン電極の他方にデータ配線が夫々接続された薄膜トランジスタアレイにおいて、(a) 前記アドレス配線、データ配線の各々に接続された高抵抗あるいは非線形抵抗特性を持つ保護素子と、(b) 複数のアドレス配線の両端側それぞれを前記保護素子を介して共通電位に接続する第1の共通電位導体帯と、(c) 複数のデータ配線の両端側それぞれを前記保護素子を介して共通電位に接続する第2の共通電位導体帯と、(d) 前記第1の共通電位導体帯の外側に位置し、複数のアドレス配線を互いに短絡する第1の短絡用配線と、(e) 前記第2の共通電位導体帯の外側に位置し、複数のデータ配線を互いに短絡する第2の短絡用配線とを具備することを特徴とする薄膜トランジスタアレイ。

【請求項4】 互いに交差させて配置した複数のアドレ

ス配線と複数のデータ配線の各交差部に、薄膜トランジスタと、該薄膜トランジスタのソース電極とドレイン電極との何れか一方に接続された表示電極とがマトリックス状に複数配列され、前記薄膜トランジスタのゲート電極に前記アドレス配線が、ソース電極とドレイン電極の他方にデータ配線が夫々接続された薄膜トランジスタアレイにおいて、(a) 前記アドレス配線、データ配線の各々に接続された高抵抗あるいは非線形抵抗特性を持つ保護素子と、(b) 複数のアドレス配線の両端側それぞれを前記保護素子を介して共通電位に接続する第1の共通電位導体帯と、(c) 複数のデータ配線の両端側それぞれを前記保護素子を介して共通電位に接続する第2の共通電位導体帯と、(d) 前記第1の共通電位導体帯及び第2の共通電位導体帯の外周に位置し、複数のアドレス配線及び複数のデータ配線を互いに短絡するショートリングとを具備することを特徴とする薄膜トランジスタアレイ。

【請求項5】 互いに交差させて配置した複数のアドレス配線と複数のデータ配線の各交差部に、薄膜トランジスタと、該薄膜トランジスタのソース電極とドレイン電極との何れか一方に接続された表示電極とがマトリックス状に複数配列され、前記薄膜トランジスタのゲート電極に前記アドレス配線が、ソース電極とドレイン電極の他方にデータ配線が夫々接続された薄膜トランジスタアレイにおいて、(a) アドレス配線のみを、その隣接する複数のアドレス配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第1の共通電位橋絡部と、(b) データ配線のみを、その隣接する複数のデータ配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第2の共通電位橋絡部と、(c) 前記第1の共通電位橋絡部の外側に位置し、複数のアドレス配線を互いに短絡する第1の短絡用配線と、(d) 前記第2の共通電位導体帯の外側に位置し、複数のデータ配線を互いに短絡する第2の短絡用配線とを具備することを特徴とする薄膜トランジスタアレイ。

【請求項6】 互いに交差させて配置した複数のアドレス配線と複数のデータ配線の各交差部に、薄膜トランジスタと、該薄膜トランジスタのソース電極とドレイン電極との何れか一方に接続された表示電極とがマトリックス状に複数配列され、前記薄膜トランジスタのゲート電極に前記アドレス配線が、ソース電極とドレイン電極の他方にデータ配線が夫々接続された薄膜トランジスタアレイにおいて、(a) アドレス配線のみを、その隣接する複数のアドレス配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第1の共通電位橋絡部と、(b) データ配線のみを、その隣接する複数のデータ配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第2の共通電位橋絡部と、(c) 前記第1の共通電位

橋路部及び第2の共通電位橋路部の外側に位置し、複数のアドレス配線及び複数のデータ配線を互いに短絡するショートリングを具備することを特徴とする薄膜トランジスタアレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタに接続された表示電極がマトリックス状に複数配列された液晶表示素子に用いられる薄膜トランジスタアレイに関するものである。

【0002】

【従来の技術】従来、薄膜トランジスタ（以下、TFTと記す）と表示電極とをマトリックス状に配列した薄膜トランジスタアレイを用いたアクティブマトリックス型液晶表示素子（以下、TFT-LCDと記す）が用いられている。このような従来のTFT-LCDとしては、例えば、特開昭63-85586号公報に開示された液晶表示素子が知られており、そのTFTアレイの等価回路を図11に示した。

【0003】この図11に示すように、TFTアレイは、透明絶縁性基板1上に行方向と列方向に、夫々複数のアドレス配線2とデータ配線3とが互いに直角に交差するように配列され、これらのアドレス配線2とデータ配線3との交差部に夫々ゲート電極がアドレス配線2と、ドレイン電極がデータ配線3に接続されたTFT4が複数配列され、そして、このTFT4のソース電極に接続された表示電極5がマトリックス状に複数配列形成されている。

【0004】その絶縁性透明基板1の表示領域を取り囲むように短絡配線6が形成されており、この短絡配線6が前記アドレス配線2及びデータ配線3と絶縁されて交差するように形成される。そして、この短絡配線6とアドレス配線2及びデータ配線3とは、高抵抗素子、あるいは図12に示すような、非線形な電流-電圧特性を持つ保護素子7でそれぞれ接続されている。なお、8はアドレス配線の端子、9はデータ配線の端子である。

【0005】この従来のTFTアレイでは、その製造工程中、全てのアドレス配線2とデータ配線3とが前記短絡配線（ショートリング）6に夫々接続されているため、全てのアドレス配線2とデータ配線3の電位が等しくなり、TFTアレイの製造工程中に発生した静電気が、電極間で放電することによる絶縁破壊及び短絡等の不良の発生が抑止されている。

【0006】即ち、アドレス配線の端子8あるいはデータ配線の端子9に静電気による高電圧が印加された場合、保護素子7が導通して注入された電荷をバイパスすることにより、画素のTFT4のゲート、ドレイン間に高電圧が印加されるのを防止して等電位に保ち保護効果をもたらす。

【0007】

【発明が解決しようとする課題】一般に、TFTパネルに印加される静電気には、長い時間をかけて加えられる直流的な静電気と、高周波成分を持った急峻なパルスとして短時間に印加されるパルスの静電気とがある。直流的な静電気は、主にプラズマ中に基板を晒している時、ラビング中等に発生し、一方、パルスの静電気は、人のハンドリング（例えば、工程間の移送、検査工程等）、機械の電氣的に浮動している部分（例えば、基板の搬送ローラー）等に接した時、或いは基板を切断する時、ラビングを済ませたローラーが次の基板をラビングするために近接した時等に、TFTパネルまたはTFT液晶セル（対向する基板を接合したもの）に印加される。

【0008】TFTパネルまたはTFT液晶セルに印加される静電気は、パルスの静電気であり、欠陥を発生させるのもこのパルスの静電気によるものが殆どである。直流的な静電気の対策は、全てのアドレス配線とデータ配線とを導体で接続したショートリングで解消できるが、パルスの静電気に対しては、このショートリングは静電気による絶縁破壊や短絡等の不良の発生を防止することはできない。

【0009】すなわち、このような場合、ショートリング自身の持つ時定数により、インパルスの伝播に時間を必要とするため、ある瞬間にはショートリング上に大きな電位分布が生じ、その結果、画素TFTのゲート、ドレイン間を等電位に保つことができなくなる。このように、従来の構成の保護回路は、直流的な静電気には有効であるが、パルスの静電気に対して効果が低い欠点があり、静電気に対する保護効果が十分といえなかった。

【0010】また、駆動電圧の印加の際、ゲート端子、ドレイン端子間に保護素子を經由したリーク電流が存在するために、駆動回路の負担が増え、消費電力が大きくなる欠点もあった。本発明は、上記のような問題点を除去し、パルスの静電気の印加に対しても十分な保護効果を持つ薄膜トランジスタアレイを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔A〕互いに交差させて配置した複数のアドレス配線と複数のデータ配線の各交差部に、薄膜トランジスタと、該薄膜トランジスタのソース電極とドレイン電極との何れか一方に接続された表示電極とがマトリックス状に複数配列され、前記薄膜トランジスタのゲート電極に前記アドレス配線が、ソース電極とドレイン電極の他方にデータ配線が夫々接続された薄膜トランジスタアレイにおいて、前記アドレス配線、データ配線の各々に接続された高抵抗あるいは非線形抵抗特性を持つ保護素子と、アドレス配線群の両端側のみを前記保護素子を介して共通電位に接続する第1の共通電位導体帯と、データ配線群

の両端側を前記保護素子を介して共通電位に接続する第2の共通電位導体帯とを具備することを特徴とする。

〔B〕前記薄膜トランジスタアレイにおいて、アドレス配線のみを、その隣接する複数のアドレス配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第1の共通電位橋絡部と、データ配線のみを、その隣接する複数のデータ配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第2の共通電位橋絡部とを具備することを特徴とする。

〔C〕前記薄膜トランジスタアレイにおいて、前記アドレス配線、データ配線の各々に接続された高抵抗あるいは非線形抵抗特性を持つ保護素子と、複数のアドレス配線の両端側それぞれを前記保護素子を介して共通電位に接続する第1の共通電位導体帯と、複数のデータ配線の両端側それぞれを前記保護素子を介して共通電位に接続する第2の共通電位導体帯と、前記第1の共通電位導体帯の外側に位置し、複数のアドレス配線を互いに短絡する第1の短絡用配線と、前記第2の共通電位導体帯の外側に位置し、複数のデータ配線を互いに短絡する第2の短絡用配線とを具備することを特徴とする。

〔D〕前記薄膜トランジスタアレイにおいて、前記アドレス配線、データ配線の各々に接続された高抵抗あるいは非線形抵抗特性を持つ保護素子と、複数のアドレス配線の両端側それぞれを前記保護素子を介して共通電位に接続する第1の共通電位導体帯と、複数のデータ配線の両端側それぞれを前記保護素子を介して共通電位に接続する第2の共通電位導体帯と、前記第1の共通電位導体帯及び第2の共通電位導体帯の外側に位置し、複数のアドレス配線及び複数のデータ配線を互いに短絡するショートリングとを具備することを特徴とする。

〔E〕前記薄膜トランジスタアレイにおいて、アドレス配線のみを、その隣接する複数のアドレス配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第1の共通電位橋絡部と、データ配線のみを、その隣接する複数のデータ配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第2の共通電位橋絡部と、前記第1の共通電位橋絡部の外側に位置し、複数のアドレス配線を互いに短絡する第1の短絡用配線と、前記第2の共通電位導体帯の外側に位置し、複数のデータ配線を互いに短絡する第2の短絡用配線とを具備することを特徴とする。

〔F〕前記薄膜トランジスタアレイにおいて、アドレス配線のみを、その隣接する複数のアドレス配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第1の共通電位橋絡部と、データ配線のみを、その隣接する複数のデータ配線の端部で相互に接続する高抵抗あるいは非線形抵抗特性を持つ複数の保護素子からなる第2の共通電位橋絡部と、前記第1

の共通電位橋絡部及び第2の共通電位橋絡部の外側に位置し、複数のアドレス配線及び複数のデータ配線を互いに短絡するショートリングを具備することを特徴とする。

【0012】

〔作用〕本発明によれば、上記したように、複数のアドレス配線と複数のデータ配線を、それぞれアドレス配線とデータ配線ごとに、高抵抗あるいは非線形抵抗特性を持つ保護素子によって相互に接続し、複数のアドレス配線と複数のデータ配線とは分離して前記保護素子を介して共通電位となるように構成する。

【0013】したがって、静電気によるインパルス状の電圧印加に対して高い保護効果を有する。また、保護回路のリーク電流が小さいため、駆動回路の負担や消費電力の増加が少ない。また、液晶素子の製造工程中で基板周辺部を切断除去するための切断線の外側にも、更に短絡用配線又はショートリングを設けるようにしたので、薄膜トランジスタアレイの全工程における静電気起因する保護を行うことができる。

【0014】

〔実施例〕以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の第1の実施例を示すTFTアレイの概略構成を示す等価回路図であり、この1図において、TFTアレイは、絶縁性透明基板11上に行方向に延出された複数のアドレス配線12と、列方向に延出された複数のデータ配線13とが互いに絶縁されて交差するように配置され、これらの複数のアドレス配線12と複数のデータ配線13との各交差部に、これらの配線に接続されたTFT14と、このTFT14のそれぞれに接続された表示電極15とが設けられ、これらの表示電極15が行及び列方向に複数配列されて表示領域が形成されている。

【0015】そして、絶縁性透明基板11の左側及び右側には、アドレス配線12群のみを高抵抗あるいは非線形抵抗特性を持つ保護素子17を介して、共通電位になるように接続する第1の共通電位導体帯16A1と16A2と、絶縁性透明基板11の上側及び下側にはデータ配線のみを高抵抗あるいは非線形抵抗特性を持つ保護素子17を介して、共通電位になるように接続する第2の共通電位導体帯16D1と16D2とが形成されている。18はアドレス配線12の接続端子、19はデータ配線13の接続端子である。

【0016】次に、第1の保護素子の形成例について図2及び図3を用いて説明する。ここでは、アドレス配線12と第1の共通電位導体帯16A1との接続の例を示す。アドレス配線12とデータ配線13とにそれぞれ交差させて配置した第1の共通電位導体帯16A1と、この第1の共通電位導体帯16A1と前記アドレス配線12及びデータ配線13との間に接続される保護素子17は、図2及び図3に示すように構成されている。

【0017】すなわち、絶縁性透明基板11上に形成されたアドレス配線12を覆うゲート絶縁膜20の上に島状の半導体膜21が形成され、この半導体膜21上には2つの電極を分離し、前記半導体膜21を保護するための半導体保護層22が形成され、この半導体保護層22を挟んだ半導体膜21の両側には、それぞれ不純物がドーパされた半導体からなるオーミック接合層23、25を介して電極24、26が形成されている。

【0018】そして、一方の電極24はゲート絶縁膜20に設けたコンタクト穴20aを通して、接続導体27により前記アドレス配線12に接続され、他方の電極26は、第1の共通電位導体帯16A1に接続され、これらの保護素子領域は保護膜28で覆われている。なお、29はアドレス配線12と第1の共通電位導体帯16A1との交差部絶縁膜29である。

【0019】上述した図2及び図3に示す保護素子17は、両電極24、26間に印加される電圧が高くなるのに伴って、アモルファスシリコン中に注入された過剰な電子が、アモルファスシリコンのバンドギャップ中にある局在準位にトラップされて空間電荷を形成する。その結果、フェルミレベルが伝導体側に変位するため、伝導電子密度が増大し、電流は電圧に比例せず、急激に増大する。このような電流を空間電荷制限電流と呼び、アモルファスシリコンのような局在準位を有する半導体では非線形性の大きな電圧電流特性を示す。

【0020】次に、第2の保護素子の形成例について図4及び図5を用いて説明する。ここでも、アドレス配線12と共通電位導体帯16A1との接続の例を示す。アドレス配線12にそれぞれ交差させて配置した第1の共通電位導体帯16A1と、この第1の共通電位導体帯16A1と前記アドレス配線12との間に接続される保護素子17は、図4及び図5に示すように構成されている。

【0021】すなわち、絶縁性透明基板11上に島状のベース電極30が形成され、このベース電極30上に向き合ったダイオードD1及びD2が形成されている。つまり、ベース電極30上に下層からp型半導体層31p、i型層31i、n型半導体層31nが堆積され、絶縁膜32で覆われ、その絶縁膜32にフォトリソエッチングにより、コンタクトがとられ、接続導体33により、ダイオードD1のn型半導体層31nはアドレス配線12に接続され、また、ダイオードD2のn型半導体層31nは第1の共通電位導体帯16A1に接続するように構成されている。そして、表面は保護膜34で覆われている。

【0022】なお、29はアドレス配線12と第1の共通電位導体帯16A1と交差部絶縁膜である。このように構成することにより、アドレス配線12の内の1本に静電気によるインパルス電圧が印加されると、アドレス配線12側の共通電位導体帯16A1又は16A2に連

なる保護素子17が導通して、注入された電荷のエネルギーを全てのアドレス配線12に分散する。そして、分散され、弱まったインパルスがアドレス配線12を伝播し、反対側の共通電位導体帯16A2又は16A1のところで再度分散、平均化される。

【0023】この作用は、従来例でも存在するが、この実施例では共通電位導体帯がアドレス配線12とデータ配線13とで独立しているため、従来例に見られるようなショートリング上をインパルスが伝播することがない。つまり、アドレス配線12とデータ配線13は配線の交差部等の寄生容量で結合しているが、ショートリングによる結合がないため、アドレス配線12から見たデータ配線13はフローティングであるため、接地電位に対してアドレス配線12の電位が変化するとき、データ配線13の対地電位もほぼ同様に変化するため、アドレス配線12、データ配線13間には高い電圧が印加されることはない。このことにより、インパルスの電圧の印加に対しても高い保護効果が得られる。

【0024】また、アドレス配線12とデータ配線13が直流的に分離されているので、従来例のような、保護素子を經由したアドレス配線12と、データ配線13間のリーク電流も存在せず、駆動回路の負担が少なくなるとともに、消費電力の無用な増加も起きない。次に、本発明の第2実施例について説明する。

【0025】図6は本発明の第2の実施例を示すTFTアレイの概略構成を示す等価回路図である。この図6に示す第2の実施例は、互いに交差させて配置した複数のアドレス配線12と複数のデータ配線13の各交差部に、TFT14とこのTFT14のソース電極とドレイン電極との何れか一方に接続された表示電極15とがマトリクス状に複数配列され、TFT14のゲート電極にアドレス配線12が、ソース電極とドレイン電極の他方にデータ配線13が夫々接続されており、そして、アドレス配線12、データ配線13の互いに隣接する端部を、それぞれアドレス配線とデータ配線ごとに接続する高抵抗あるいは非線形抵抗特性を持つ保護素子17を備えている。この様にして、複数の保護素子17は、この保護素子17の両端部を隣接するアドレス配線12に接続してなる第1の共通電位橋絡部17Aと、保護素子17の両端部を隣接するデータ配線13に接続してなる第2の共通電位橋絡部17Bとが設けられている。

【0026】この実施例においては、第1実施例に示したように、共通電位導体帯を用いることなく、隣接するアドレス配線12の間及び隣接するデータ配線13の間に保護素子17をそれぞれ直接接続して、鋭いインパルス状の静電気の印加による各アドレス配線12の間及び隣接するデータ配線13の間の電位を共通にできるようにしたものである。

【0027】この第2実施例によれば、第1実施例と同様の作用効果が得られると共に、その回路構成を簡素化

することができ、またアドレス配線群又はデータ配線群と交差する共通電位導体帯を設ける必要がないので、これらの間のショート等による欠陥が発生せず、製造歩留まりが向上する。さらに、各アドレス配線と各データ配線とが高抵抗の保護素子で直列的に接続されているので、各配線間への駆動信号の漏れが少なくなるので駆動が容易にできる。

【0028】次に、本発明の第3実施例について説明する。図7は本発明の第3の実施例を示すTFTアレイの概略構成を示す等価回路図であり、図1と同様に、表示領域が形成されるとともに、絶縁性透明基板41の左側及び右側にはアドレス配線12の群のみを高抵抗あるいは非線形抵抗特性を持つ保護素子17を介して共通電位になるように接続する第1の共通電位導体帯16A1と16A2と、絶縁性透明基板11の上側及び下側にはデータ配線13の群のみを高抵抗あるいは非線形抵抗特性を持つ保護素子17を介して共通電位になるように接続する第2の共通電位導体帯16D1と16D2とが形成されている。

【0029】更に、第1の共通電位導体帯16A1及び16A2の外側で、かつ表示装置を製造する工程中で基板周辺を切断除去するための切断線43の外側に位置し、アドレス配線12の群のみを短絡する第1の短絡用配線42A1と42A2と、第2の共通電位導体帯16D1と16D2の外側で、かつ前記切断線43の外側に位置し、データ配線14の群のみを短絡する第2の短絡用配線42D1と42D2とが形成されている。

【0030】この第3実施例によれば、第1、第2の短絡用配線を切断除去する工程まではデータ配線とアドレス配線がそれぞれ短絡された、その工程以後は保護素子を介してそれぞれ接続されるので、静電気保護が一層確実になる。次に、本発明の第4実施例について説明する。図8は本発明の第4の実施例を示すTFTアレイの概略構成を示す等価回路図であり、図1と同様に、表示領域が形成されるとともに、絶縁性透明基板11の左側及び右側にはアドレス配線12の群のみを高抵抗あるいは非線形抵抗特性を持つ保護素子17を介して、共通電位になるように接続する第1の共通電位導体帯16A1と16A2と、絶縁性透明基板11の上側及び下側にはデータ配線13の群のみを高抵抗あるいは非線形抵抗特性を持つ保護素子17を介して共通電位になるように接続する第2の共通電位導体帯16D1と16D2とが形成されている。

【0031】更に、第1の共通電位導体帯16A1と16A2及び第2の共通電位導体帯16D1と16D2の外側で、かつ切断線43の外側に位置し、アドレス配線12の群及びデータ配線13の群を短絡するショートリング44とを形成するようにしたものである。この第4実施例によれば、第1、第2の短絡用配線を切断除去する工程前は直流的な静電気保護効果が得られ、またその

工程後は交流的な静電気に対する保護効果が得られる。よって、製造歩留まりが一層向上する。

【0032】次に、本発明の第5実施例について説明する。図9は本発明の第5の実施例を示すTFTアレイの概略構成を示す等価回路図であり、図1に示すように、表示領域を形成し、アドレス配線12、データ配線13を互いに隣接する端部をそれぞれアドレス配線群とデータ配線群ごとに接続する高抵抗あるいは非線形抵抗特性を持つ保護素子17を備えている。この様にして複数の保護素子17は、この保護素子17の両端部を隣接するアドレス配線12に接続してなる第1の共通電位橋絡部17Aと、保護素子17の両端部を隣接するデータ配線13に接続してなる第2の共通電位橋絡部17Dとが設けられている。

【0033】更に、第1の共通電位橋絡部17Aと、第2の共通電位橋絡部17Dの外側で、かつ切断線43の外側に位置し、アドレス配線12の群のみを短絡する第1の短絡用配線17A1と17A2と、データ配線13の群のみを短絡する第2の短絡用配線17D1と17D2とを形成するようにしている。この第5実施例によれば、上述した第2実施例と第3実施例との両方の作用効果が得られ、静電気保護の効果が確実で、且つ製造が容易になる。

【0034】次に、本発明の第6実施例について図10を用いて説明する。第5実施例と同様に、表示領域及び第1の共通電位橋絡部17Aと、第2の共通電位橋絡部17Dとを設け、更に、切断線43の外側にはショートリング44を形成する。この第6実施例によれば、上述した第2実施例と第4実施例で述べたと同様の作用効果が得られ、静電気保護が確実で、且つ製造が容易になる。

【0035】以上述べた様に、第3実施例乃至第6実施例においては、TFTアレイの外周縁には導電膜からなる短絡用配線17A1、17A2、17D1、17D2又はショートリング44が形成されており、前記複数のアドレス配線12と複数のデータ配線13とはそれぞれ前記表示領域から延出されて前記短絡用配線17A1、17A2、17D1、17D2又はショートリング44に接続されている。この前記短絡用配線及びショートリング44は、TFTアレイの製造工程の終了後、或いは液晶セルを形成する工程において、このTFTアレイに対向する基板を接合した後に、破線で示した切断線43に沿って切断して除去される。

【0036】表示領域の外側近傍であって前記切断線の内側には、その表示領域を取り囲む短絡用配線が、前記アドレス配線12及びデータ配線13と絶縁されて交差するように形成されており、この短絡用配線と前記アドレス配線12及びデータ配線13とは、保護素子17でそれぞれ接続されているから、TFTアレイの製造工程後、あるいは液晶セルの製造工程において、このTFT

11

Tアレイに対向する基板を接合した後に前記短絡用配線又はショートリング44を前記切断線43に沿って切断除去した後に、アドレス配線12又はデータ配線13の何れか、あるいは双方に静電気による高電圧が印加された場合、保護素子17を通して大きな電流が流れて、アドレス配線12とデータ配線13とが同電位に保たれる。

【0037】このように構成することにより、TFTアレイの切断線による切断の前後の工程における静電気に起因する保護を行うことができる。従って、前記短絡用配線又はショートリング44を切断除去した後に、静電気による高電圧が、アドレス配線12又はデータ配線13に印加されても、これらの配線12、13間及びTFT14のゲート電極とドレイン電極間の絶縁の劣化または絶縁破壊、またはTFTの閾値変動が生じることがない。

【0038】そして、このTFTアレイを用いた液晶表示装置は、通常25V程度の電圧で駆動されるため、この電圧領域での前記保護素子17の抵抗は充分高く、アドレス配線12間、データ配線13間、及びアドレス配線12とデータ配線13間に流れる漏れ電流は略10⁻¹⁰Aオーダーの微小電流であるので、各表示電極15に印加するデータ信号には何ら影響を与えることがなく、鮮明な画像を表示することができ、また、短絡用配線又はショートリング44を切断除去した後に、配線の断線及びショートなどの電氣的な検査、及び各TFTの特性等を電氣的に測定することもできる。

【0039】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0040】

【発明の効果】以上、詳細に説明したように、本発明によれば、アドレス配線、データ配線の各々に接続された高抵抗あるいは非線形抵抗特性を持つ保護素子と、アドレス配線群の両端側を前記保護素子を介して共通電位に接続する第1の共通電位導体帯と、データ配線群の両端側を前記保護素子を介して共通電位に接続する第2の共通電位導体帯とを設けるようにしたので、静電気によるインパルス状の電圧印加に対して高い保護効果を有する。また、保護回路のリーク電流が少ないため、駆動回路の負担や消費電力の増加が少ない。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すTFTアレイの概略構成を示す等価回路図である。

【図2】本発明の第1の実施例を示すTFTアレイの第1の保護素子の形成例を示す図である。

【図3】図2のA-A線断面図である。

【図4】本発明の第1の実施例を示すTFTアレイの第

12

2の保護素子の形成例を示す図である。

【図5】図4のB-B線断面図である。

【図6】本発明の第2の実施例を示すTFTアレイの概略構成を示す等価回路図である。

【図7】本発明の第3の実施例を示すTFTアレイの概略構成を示す等価回路図である。

【図8】本発明の第4の実施例を示すTFTアレイの概略構成を示す等価回路図である。

【図9】本発明の第5の実施例を示すTFTアレイの概略構成を示す等価回路図である。

【図10】本発明の第6の実施例を示すTFTアレイの概略構成を示す等価回路図である。

【図11】従来のTFTアレイの概略構成を示す等価回路図である。

【図12】従来のTFTアレイの非線形保護素子の特性図である。

【符号の説明】

11 絶縁性透明基板

12 アドレス配線

13 データ配線

14 TFT

15 表示電極

17 保護素子

16A1, 16A2 第1の共通電位導体帯

16D1, 16D2 第2の共通電位導体帯

18, 19 接続端子

20 ゲート絶縁膜

20a コンタクト穴

21 島状の半導体膜

22 半導体保護層

23, 25 オーミック接合層

24, 26 電極

27, 33 接続導体

28 保護膜

29 交差部絶縁膜

30 島状のベース電極

D1, D2 ダイオード

31p p型半導体層

31i i型層

31n n型半導体層

32 絶縁膜

34 保護膜

41 第1の共通電位橋絡部

42 第2の共通電位橋絡部

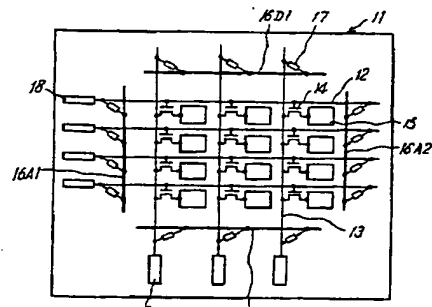
42A1, 42A2 第1の短絡用配線

42D1, 42D2 第2の短絡用配線

43 切断線

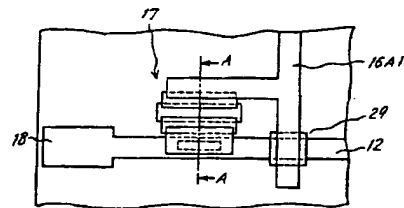
44 ショートリング

【図1】

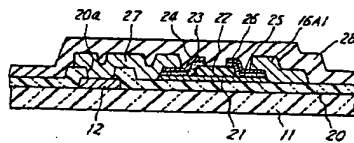


11: 絶縁性透明基板 16A1, 16A2: 第1共通電圧導体層
12: アドレス配線 16D1, 16D2: 第2共通電圧導体層
13: データ配線 17: 保護層

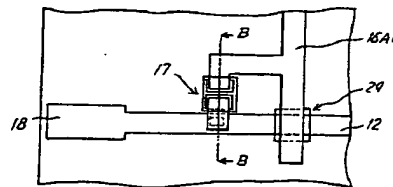
【図2】



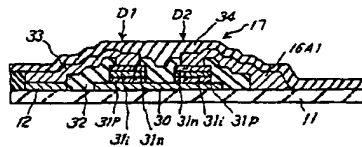
【図3】



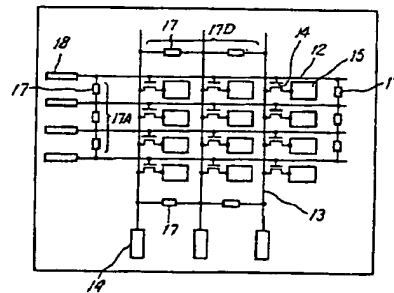
【図4】



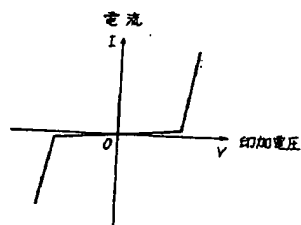
【図5】



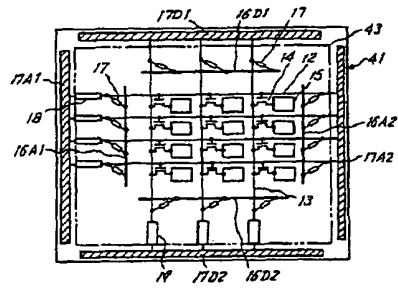
【図6】



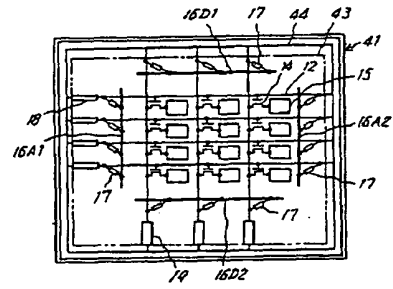
【図12】



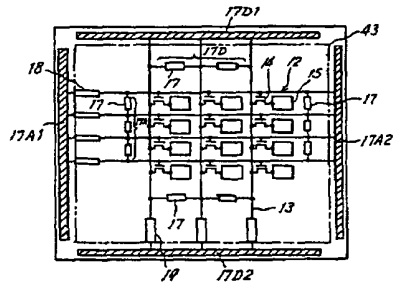
【図7】



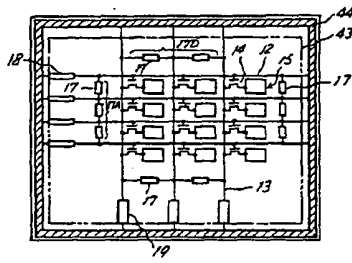
【図8】



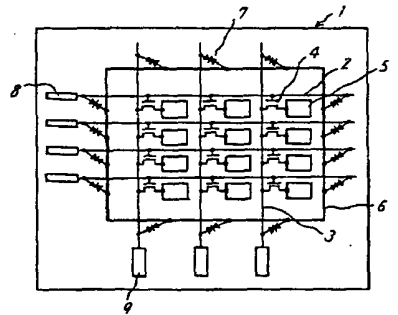
【図9】



【図10】



【図11】



LEGAL STATUS

[Date of request for examination]

02.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)